

Test mode circuit for a micro controller

Patent Number: DE19855182
Publication date: 1999-11-18
Inventor(s): KIM HO HYUN (KR)
Applicant(s):: LG SEMICON CO LTD (KR)
Requested Patent: ☐ DE19855182
Application Number: DE19981055182 19981130
Priority Number(s): KR19980017228 19980513
IPC Classification: G06F11/22 ; G06F1/24
EC Classification: G01R31/317A, G06F11/267P
Equivalents: ☐ JP2000010955 (JP00010955)

Abstract

The test mode control circuit (10) for a micro computer system (MCU) has a reset pin (10.2) and a clock pin (10.3) and avoids the need for a separate test pin. This provides a facility requiring few pins and is coupled to a test mode counter (30) that generates code that is decoded (40) to identify the modes.

Data supplied from the esp@cenet database - I2

This Page Blank (uspto)



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Off nlegungsschrift
⑩ DE 198 55 182 A 1

⑤ Int. Cl.⁶:
G 06 F 11/22
G 06 F 1/24

②1 Aktenzeichen: 198 55 182.7
②2 Anmeldetag: 30. 11. 98
④3 Offenlegungstag: 18. 11. 99

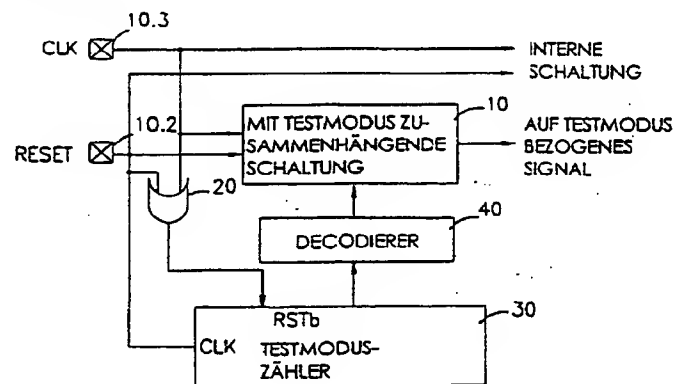
③0 Unionspriorität:
17228/98 13. 05. 98 KR
⑦1 Anmelder:
LG Semicon Co., Ltd., Cheongju, KR
⑦4 Vertreter:
WUESTHOFF & WUESTHOFF Patent- und
Rechtsanwälte, 81541 München

⑦2 Erfinder:
Kim, Ho Hyun, Cheongju, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤4 Testmodus-Einstellschaltung für eine Mikrocontrollereinheit

⑤7 Eine Testmodus-Einstellschaltung für eine Mikrocontrollereinheit (MCU) stellt einen Testmodus ein, indem nur ein Rücksetzanschlußpin (10.2) und ein Taktanschlußpin (10.3) verwendet werden, die im Grunde dafür erforderlich sind, ohne einen separaten Testanschlußpin vorzusehen. Die Testmodus-Einstellschaltung ist für eine MCU mit einer geringen Zahl von Anschlußpins geeignet, und verschiedene Testmodi können ebenfalls leicht eingestellt werden, indem ein Testmodus-Zählwert eines Testmoduszählers (30) auf verschiedene Arten decodiert wird.



DE 198 55 182 A 1

DE 198 55 182 A 1

Beschreibung

Die vorliegende Erfindung bezieht sich auf eine Mikrocontrollereinheit (MCU) und insbesondere auf eine Testmodus-Einstellschaltung für eine MCU.

Fig. 1 ist ein schematisches Diagramm, das eine herkömmliche Testmodus-Einstellschaltung für eine Mikrocontrollereinheit (MCU) veranschaulicht. Die herkömmliche Testmodus-Einstellschaltung besteht aus einem Testanschlußpin 10.1 zum Empfangen eines Testsignals, einem Rücksetzanschlußpin 10.2 zum Empfangen eines Rücksetzsignals, einem Taktanschlußpin 10.3 zum Empfangen eines Taktsignals CLK, das in einem (nicht dargestellten) Oszillator erzeugt wird, und einer mit dem Testmodus zusammenhängenden Schaltung 10 zum Ausgeben eines auf den Testmodus bezogenen Signals an eine interne Schaltung, wenn das Testsignal über den Testanschlußpin 10.1 empfangen wird.

In einem normalen Modus ist die mit dem Testmodus zusammenhängende Schaltung 10 nicht mit einer internen Schaltung der MCU verbunden. Nachdem ein Testmodus eingerichtet ist, d. h. wenn ein über den Testanschlußpin 10.1 eingegebenes Testsignal aktiv wird, gibt die mit dem Testmodus zusammenhängende Schaltung 10 das auf den Testmodus bezogene Signal an die interne Schaltung aus, so daß die interne Schaltung in den Testmodus eintritt.

In der letzten Zeit wurde eine MCU mit einer geringen Zahl von Anschlußpins in großen Stückzahlen hergestellt. Wenn zusätzlich zu eigentlich erforderlichen Anschlußpins darin, wie z. B. dem Rücksetzanschlußpin, einem VDD-Anschlußpin, einem VSS-Anschlußpin und einem Taktanschlußpin, der MCU mit der geringen Zahl von Anschlußpins der Testanschlußpin hinzugefügt wird, kann eine Anzahl von Anschlußpins, die für einen Benutzer verfügbar sind, verringert werden. Da der Testanschlußpin ein Anschlußpin ist, den der Benutzer im allgemeinen nicht verwenden kann, wird die Nutzbarkeit und Eignung der MCU eher verschlechtert.

Eine Aufgabe der vorliegenden Erfindung besteht darin, eine Testmodus-Einstellschaltung für eine MCU zu schaffen, die die Probleme aufgrund einer Beschränkung und die Nachteile des Stands der Technik beseitigt.

Eine andere Aufgabe der vorliegenden Erfindung ist, eine Testmodus-Einstellschaltung für die MCU zu schaffen, die für die MCU mit einer geringen Zahl von Anschlußpins geeignet ist.

Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, eine Testmodus-Einstellschaltung für die MCU zu schaffen, die einen Testmodus allein durch einen Rücksetzanschlußpin und einen Taktanschlußpin ohne Hinzufügen eines separaten Testanschlußpins einstellen kann.

Zusätzliche Merkmale und Vorteile der Erfindung werden in der folgenden Beschreibung dargelegt und sind zum Teil aus der Beschreibung ersichtlich oder können durch praktische Umsetzung der Erfindung gelernt werden. Die Ziele und andere Vorteile der Erfindung werden durch die in der Beschreibung und den Ansprüchen sowie in den beigefügten Zeichnungen speziell ausgeführten Struktur realisiert und erhalten.

Um diese und andere Vorteile zu erzielen, enthält gemäß der vorliegenden Erfindung, wie sie dargestellt ist und ausführlich beschrieben wird, in einer mit dem Testmodus zusammenhängenden Schaltung, die gemäß einem Taktsignal und einem Rücksetzsignal betrieben wird und einer internen Schaltung ermöglicht, in einen Testmodus einzutreten, wenn ein Testmodus-Flag aktiv wird, eine Testmodus-Einstellschaltung für eine MCU einen ein Taktsignal empfangenden Taktanschlußpin, einen ein Rücksetzsignal empfangenden

Rücksetzanschlußpin, einen Testmoduszähler, der gemäß einem logischen ODER-Wert des Taktsignals und des Rücksetzsignals eingestellt oder zurückgesetzt wird und das Rücksetzsignal zählt, und einen Decodierer, der ein Testmodus-Flag aktiviert, wenn ein Zählwert des Testmoduszählers einen vorbestimmten Wert erreicht.

Es versteht sich, daß sowohl die vorhergehende allgemeine als auch die folgende ausführliche Beschreibung beispielhaft sind und die Erfindung, wie sie beansprucht wird, weiter erklären sollen.

Ein Ausführungsbeispiel einer Testmodus-Einstellschaltung für eine MCU wird im folgenden anhand schematischer Zeichnungen beschrieben. Es zeigen:

Fig. 1 ein schematisches Blockdiagramm einer herkömmlichen Testmodus-Einstellschaltung für eine MCU;

Fig. 2 ein schematisches Blockdiagramm einer Testmodus-Einstellschaltung für eine MCU gemäß der vorliegenden Erfindung; und

Fig. 3A bis 3D Eingabe- und Ausgabezeitablaufdiagramme für jede Einheit in Fig. 2.

Nun wird ausführlich auf die bevorzugte Ausführungsform der vorliegenden Erfindung Bezug genommen, von der Beispiele in den beiliegenden Zeichnungen veranschaulicht sind.

Fig. 2 ist ein schematisches Blockdiagramm einer Testmodus-Einstellschaltung für eine MCU gemäß der vorliegenden Erfindung. Wie darin gezeigt ist, enthält die Testmodus-Einstellschaltung für die MCU zusätzlich zu der herkömmlichen, mit einem Testmodus zusammenhängenden Schaltung 10 in Fig. 1 ein ODER-Gatter 20, einen Testmoduszähler 30 und einen Decodierer 40 und enthält als Eingabepins nur einen Taktanschlußpin 10.3 und einen Rücksetzanschlußpin 10.2.

Das ODER-Gatter 20 führt eine ODER-Verarbeitung eines Taktsignals CLK, das in den Taktanschlußpin 10.3 eingegeben wird, und eines Rücksetzsignals RESET aus, das in den Rücksetzanschlußpin 10.2 eingegeben wird, um dadurch ein resultierendes Signal an den Rücksetzanschluß RSTb des Testmoduszählers 30 auszugeben.

Der Testmoduszähler 30 wird gemäß einem Ausgangssignal von dem ODER-Gatter 20 eingestellt oder zurückgesetzt, das in den Rücksetzanschluß RSTb eingegeben wird, und zählt das Rücksetzsignal RESET, das über den Rücksetzanschlußpin 10.2 darin eingegeben wird. Der Testmoduszähler 30 wird hier durch ein Signal mit niedrigem Pegel zurückgesetzt.

Der Decodierer 40 empfängt einen Testzählwert vom Testmoduszähler 30 und aktiviert ein Testmodus-Flag, wenn der eingegebene Zählwert ein vorbestimmter Testmodus-Zählwert wird, und die mit dem Testmodus zusammenhängende Schaltung 10 gibt ein auf den Testmodus bezogenes Signal gemäß dem aktiven Testmodus-Flag an die interne Schaltung aus.

Nun wird die Operation der Testmodus-Einstellschaltung für die MCU der vorliegenden Erfindung erklärt.

In einem normalen Modus wird eine (nicht dargestellte) interne Schaltung betrieben, indem sie mit dem Taktsignal CLK synchronisiert wird, das über den Taktanschlußpin 10.3 darin eingegeben wird.

In einem Testmodus wird, wenn das Taktsignal CLK, das in den Taktanschlußpin 10.3 eingegeben wird, ein Hochpegelsignal wird, wie in Fig. 3A gezeigt, die Operation der internen Schaltung ausgesetzt, und der Testmoduszähler 30 wird durch ein von dem ODER-Gatter 20 ausgegebenes Hochpegelsignal eingestellt.

Dementsprechend empfängt der Testmoduszähler 30 ein Rücksetzsignal RESET, wie in Fig. 3B gezeigt ist, das über den Rücksetzanschlußpin 10.2 in einen Taktanschluß einge-

geben wird, und zählt eine ansteigende Flanke oder eine abfallende Flanke des Rücksetzsignals, um dadurch einen Zählwert von Fig. 3C auszugeben. Der Decodierer 40 empfängt den Zählwert vom Testmoduszähler 30 und aktiviert das Testmodus-Flag, wenn der eingegebene Zählwert ein vorbestimmter Testmodus-Zählwert ist.

Man nehme z. B. an, daß der Testmodus-Zählwert, der vorher im Decodierer 40 eingestellt wurde, FF ist. Der Decodierer 40 sperrt das Testmodus-Flag, wenn er vom Testmoduszähler 30 irgendeinen von Zählwerten ($\Phi 0$, $\Phi 1$, $\Phi 2$, $\Phi 3$, ..., FD, FE) empfängt, und gibt das Testmodus-Flag frei, wenn er den Zählerwert FF vom Testmoduszähler 30 empfängt.

Dementsprechend gibt die mit dem Testmodus zusammenhängende Schaltung 10 ein auf den Testmodus bezogenes Signal gemäß dem freigegebenen Testmodus-Flag an die interne Schaltung aus, so daß die interne Schaltung von der Zeit (t) an in den Testmodus eintritt.

Mit der vorliegenden Erfindung wird es ferner möglich, einen Testmodus-Zählwert des Testmoduszählers 30 auf verschiedene Weisen einzustellen und verschiedene Testmodi durch Decodieren verschiedener Testmodus-Zählwerte zu erhalten.

Wie oben beschrieben wurde, weist die Testmodus-Einstellschaltung für die MCU gemäß der vorliegenden Erfindung mehrere Vorteile auf.

Die Testmodus-Einstellschaltung stellt den Testmodus ein, indem allein der Rücksetzanschlußpin und der Taktanschlußpin verwendet werden, ohne den separaten Testanschlußpin aufzuweisen, wobei sie sich so für die MCU mit der geringen Zahl von Anschlußpins besser eignet.

Verschiedene Testmodi können ferner leicht eingestellt werden, durch die der Testmodus-Zählwert des Testmoduszählers auf verschiedene Weisen decodiert wird.

Für den Fachmann ist ersichtlich, daß verschiedene Modifikationen und Variationen in der Testmodus-Einstellschaltung für die MCU gemäß der vorliegenden Erfindung vorgenommen werden können, ohne vom Geist und Umfang der Erfindung abzuweichen. Die vorliegende Erfindung soll somit die Modifikationen und Variationen dieser Erfindung abdecken, vorausgesetzt sie fallen in den Umfang der beigefügten Ansprüche und ihrer Äquivalente.

Patentansprüche

1. Testmodus-Einstellschaltung für eine Mikrocontrollereinheit (MCU) mit:
einem Taktanschlußpin (10.3), der ein Taktsignal (CLK) empfängt;
einem Rücksetzanschlußpin (10.2), der ein Rücksetzsignal (RESET) empfängt;
einem Testmoduszähler (30), der gemäß einem logischen Wert des Taktsignals und des Rücksetzsignals eingestellt/zurückgesetzt wird und das Rücksetzsignal zählt; und
einem Decodierer (40), der ein Testmodus-Flag aktiviert, wenn ein Zählwert des Testmoduszählers (30) einen vorbestimmten Wert erreicht.
2. Schaltung nach Anspruch 1, ferner mit:
einer mit dem Testmodus zusammenhängenden Schaltung (10), die durch das Taktsignal (CLK) und das Rücksetzsignal (RESET) betrieben wird und ermöglicht, daß eine interne Schaltung gemäß dem aktivierten Testmodus-Flag in einen Testmodus eintritt.
3. Schaltung nach Anspruch 1, worin das Taktsignal (CLK) ein Hochpegelsignal im Testmodus ist.
4. Schaltung nach Anspruch 1, worin der Testmoduszähler (30) zurückgesetzt wird, wenn ein Ausgabewert

von einem ODER-Gatter (20) ein niedriger Pegel ist.
5. Testmodus-Einstellschaltung für eine Mikrocontrollereinheit (MCU) mit:
einem Taktanschlußpin (10.3), der ein Taktsignal (CLK) empfängt;

einem Rücksetzanschlußpin (10.2), der ein Rücksetzsignal (RESET) empfängt;
einem ODER-Gatter (20), das das Taktsignal (CLK) und das Rücksetzsignal (RESET) ODER-verarbeitet;
einem Testmoduszähler (30), der gemäß einer Ausgabe des ODER-Gatters eingestellt/zurückgesetzt wird und das Rücksetzsignal zählt; und
einem Decodierer (40), der ein Testmodus-Flag aktiviert, wenn ein Zählwert des Testmoduszählers (30) einen vorbestimmten Wert erreicht.

6. Schaltung nach Anspruch 5, worin das Taktsignal (CLK) ein Hochpegelsignal im Testmodus ist.

7. Schaltung nach Anspruch 5, worin der Testmoduszähler (30) zurückgesetzt wird, wenn ein Ausgabewert von einem ODER-Gatter eine niedriger Pegel ist.

8. Testmodus-Einstellschaltung für eine Mikrocontrollereinheit (MCU) mit:

einem Taktanschlußpin (10.3), der ein Taktsignal (CLK) empfängt;
einem Rücksetzanschlußpin (10.2), der ein Rücksetzsignal (RESET) empfängt;

einer Testsignal-Erzeugungsschaltung, die ein Testsignal erzeugt, indem das Rücksetzsignal gemäß einem logischen Wert des Taktsignals und des Rücksetzsignals gezählt wird; und

einer mit einem Testmodus zusammenhängenden Schaltung (10), die durch das Taktsignal (CLK) und das Rücksetzsignal (RESET) betrieben wird und ermöglicht, daß eine interne Schaltung gemäß dem Testsignal von der Testsignal-Erzeugungsschaltung in einen Testmodus eintritt.

9. Schaltung nach Anspruch 8, worin die Testsignal-Erzeugungsschaltung aufweist:

ein ODER-Gatter (20), das das Taktsignal (CLK) und das Rücksetzsignal (RESET) ODER-verarbeitet;

einen Testmoduszähler (30), der gemäß einem Ausgangssignal von dem ODER-Gatter (20) eingestellt/zurückgesetzt wird und das Rücksetzsignal (RESET) zählt; und

einen Decodierer (40), der das Testsignal ausgibt, wenn ein Zählwert von dem Testmoduszähler einen vorbestimmten Zählwert erreicht.

10. Schaltung nach Anspruch 8, worin das Taktsignal ein Hochpegelsignal im Testmodus ist.

11. Schaltung nach Anspruch 9, worin der Testmoduszähler zurückgesetzt wird, wenn ein Ausgabewert vom ODER-Gatter ein niedriger Pegel ist.

12. Testmodus-Einstellschaltung für eine Mikrocontrollereinheit mit:

einem Taktanschlußpin (10.3), der ein Taktanschlußsignal empfängt;

einem Rücksetzanschlußpin (10.2), der ein Rücksetzsignal (RESET) empfängt;

einer Testsignal-Erzeugungsschaltung, die ein Testsignal erzeugt, indem ein Rücksetzsignal gemäß einem logischen Wert des Taktsignals und des Rücksetzsignals erzeugt wird; worin die Testsignal-Erzeugungsschaltung aufweist:

ein ODER-Gatter (20), das das Taktsignal und das Rücksetzsignal ODER-verarbeitet,

einen Testmoduszähler (30), der gemäß einem Ausgangssignal vom ODER-Gatter (20) eingestellt/zurückgesetzt wird und das Rücksetzsignal zählt, und

- einen Decodierer (40), der das Testsignal ausgibt, wenn ein Zählwert vom Testmoduszähler (30) einen vorbestimmten Zählwert erreicht; und
eine mit einem Testmodus zusammenhängende Schaltung (10), die durch das Taktsignal und das Rücksetzsignal betrieben wird und ermöglicht, daß eine interne Schaltung gemäß dem Testsignal von der Testsignal-Erzeugungsschaltung in einen Testmodus eintritt.
13. Schaltung nach Anspruch 12, worin das Taktsignal ein Hochpegelsignal im Testmodus ist.
14. Schaltung nach Anspruch 12, worin der Testmoduszähler (30) zurückgesetzt wird, wenn ein Ausgabe-
wert vom ODER-Gatter ein niedriger Pegel ist.

Hierzu 2 Seite(n) Zeichnungen

15

20

25

30

35

40

45

50

55

60

65

FIG. 1
STAND DER TECHNIK

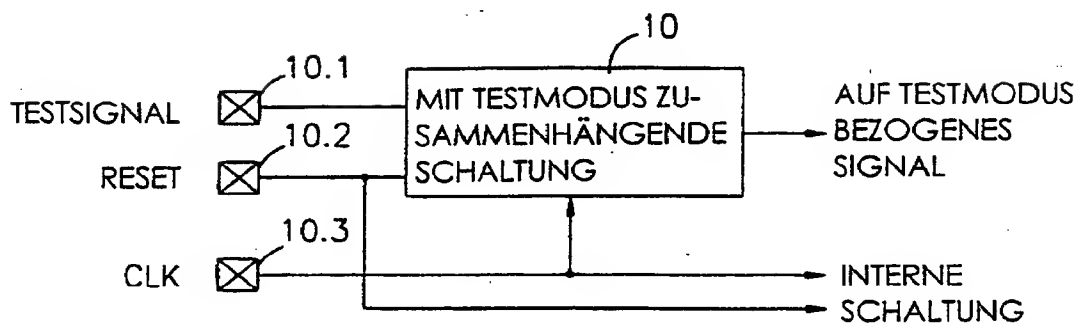
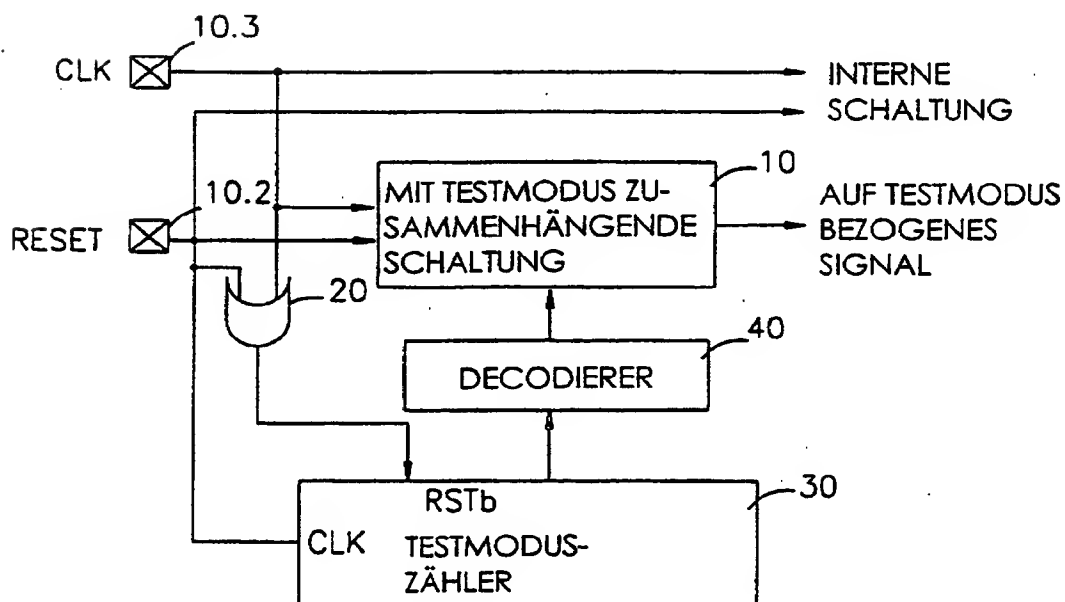


FIG. 2



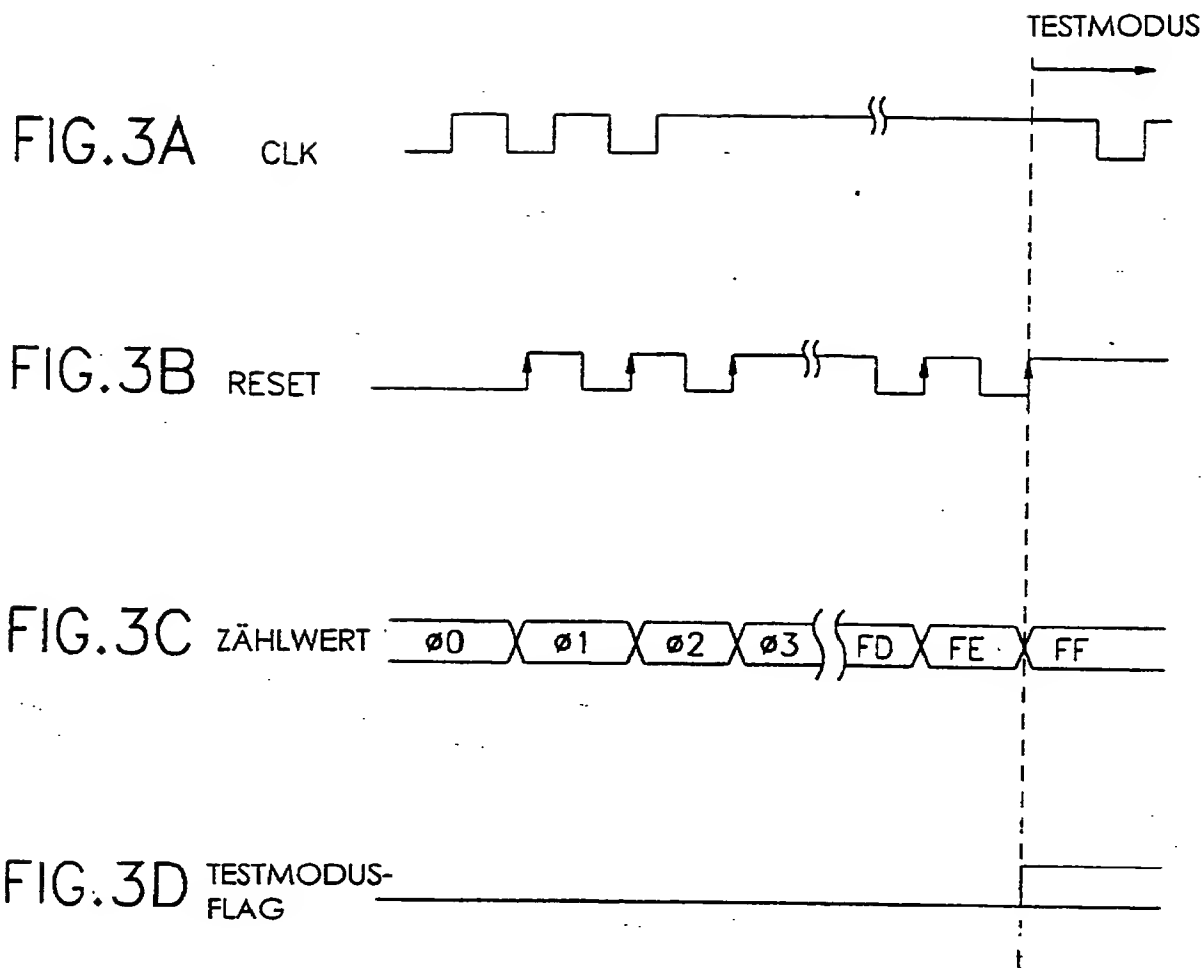


FIG. 1
STAND DER TECHNIK

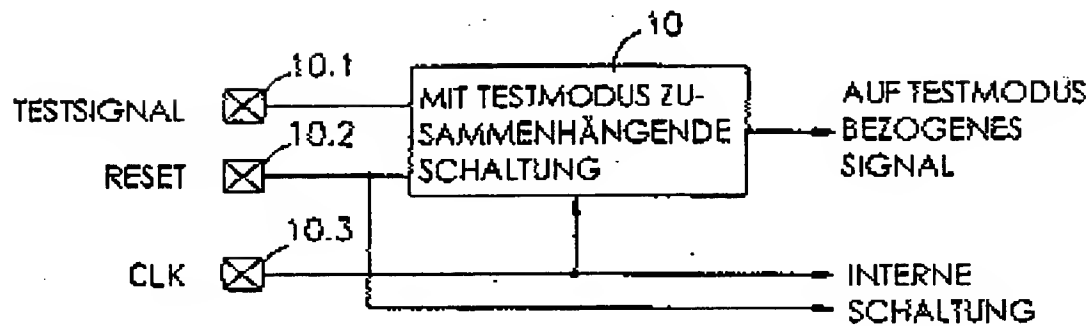


FIG. 2

